

CLIPPEDIMAGE= JP403087055A
PAT-NO: JP403087055A
DOCUMENT-IDENTIFIER: JP 03087055 A
TITLE: THIN FILM CAPACITOR AND MANUFACTURE THEREOF

PUBN-DATE: April 11, 1991

INVENTOR-INFORMATION:

NAME

MATSUBARA, SHOGO

MIYASAKA, YOICHI

ASSIGNEE-INFORMATION:

NAME

NEC CORP

COUNTRY

N/A

APPL-NO: JP01226030

APPL-DATE: August 30, 1989

INT-CL_(IPC): H01L027/04; H01G001/005 ; H01G001/01 ; H01G004/06

ABSTRACT:

PURPOSE: To improve capacitance density and insulation characteristics by forming a lower electrode wherein a dielectric film is directly formed by using specific material.

CONSTITUTION: A thin film capacitor is formed by laminating, in order, a lower electrode 3, a dielectric 4, and an upper electrode 5 on a substrate 1. The lower electrode 3 wherein the dielectric 4 is directly formed is constituted of one or more materials selected out of ruthenium, ruthenium oxide, and ruthenium silicide. Thereby capacitance density and insulation characteristics are improved, and a thin film capacitor applicable to an integrated circuit can be obtained.

COPYRIGHT: (C)1991,JPO&Japio

⑫ 公開特許公報(A)

平3-87055

⑬ Int. Cl.⁵

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)4月11日

H 01 L 27/04
H 01 G 1/005
1/01
4/06

C

9056-5F
6921-5E
6921-5E
6921-5E

1 0 2

審査請求 有 請求項の数 2 (全5頁)

⑮ 発明の名称 薄膜コンデンサおよびその製造方法

⑯ 特 願 平1-226030

⑰ 出 願 平1(1989)8月30日

⑱ 発 明 者 松 原 正 吾 東京都港区芝5丁目33番1号 日本電気株式会社内
⑱ 発 明 者 宮 坂 洋 一 東京都港区芝5丁目33番1号 日本電気株式会社内
⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目7番1号
⑳ 代 理 人 弁理士 内 原 晋

明 細 書

発明の名称 薄膜コンデンサおよびその製造方法

特許請求の範囲

(1) 基板上に形成され、下部電極、誘電体、上部電極が順次積層された構造の薄膜コンデンサにおいて、誘電体を直接成膜する下部電極がルテニウム、酸化ルテニウム、およびルテニウムシリサイドから選ばれた1以上の材料からなることを特徴とする薄膜コンデンサ。

(2) 基板上にルテニウム、酸化ルテニウム、ルテニウムシリサイドから選ばれた1以上の材料からなる下部電極を形成する工程と、該下部電極上に誘電体を形成し、この上に上部電極を形成する工程とを備えたことを特徴とする薄膜コンデンサの製造方法。

発明の詳細な説明

(産業上の利用分野)

本発明は小型電子回路に用いる薄膜コンデンサに関する。

(従来技術)

集積回路技術の発達によって電子回路がますます小型化しており、各種電子回路に必須の回路素子であるコンデンサの小型化も一段と重要になっている。誘電体薄膜を用いた薄膜コンデンサが、トランジスタ等の能動素子と同一の基板上に形成されて利用されているが、能動素子の小型化が急速に進む中で薄膜コンデンサの小型化は遅れており、より一層の高集積化を阻む大きな要因となってきた。これは、従来用いられている誘電体薄膜材料がSiO₂、Si₃N₄等のような誘電率がたかだか10以下の材料に限られているためであり、薄膜コンデンサを小型化する手段として誘電率の大きな誘電体薄膜を開発することが必要となっている。化学式ABO₃で表されるペロブスカイト型酸化物であるBaTiO₃、SrTiO₃、PbZrO₃およびイルメナイト型酸化物LiNbO₃あるいはBi₄Ti₃O₁₂等の強誘電体に属する酸化物は、上記の単一組成並びに相

互の固溶体組成で、単結晶あるいはセラミックにおいて100以上10000にも及ぶ誘電率を有することが知られており、セラミック・コンデンサに広く用いられている。これら材料の薄膜化は上述の薄膜コンデンサの小型化に極めて有効であり、かなり以前から研究が行われている。それらの中で比較的良好な特性が得られている例としては、プロシーディング・オブ・アイ・イー・イー・イー(Proceedings of the IEEE) 第59巻10号1440-1447頁に所載の論文があり、スパッタリングによる成膜および熱処理を行った BaTiO_3 薄膜で16(室温で作成)から1900(1200°Cで熱処理)の誘電率が得られている。

(発明が解決しようとする課題)

上記のような従来作成されている BaTiO_3 等の誘電体薄膜は、高い誘電率を得るためには薄膜作成時に高温を必要とし、いずれも白金、パラジウム等の高融点貴金属材料からなる下部電極の上に作成されたものである。一般に電極材料として用いられるアルミニウムやニクロム、銅などでは、高

温での電極の蒸発や誘電体膜との相互反応により誘電体膜の誘電率の著しい低下を招く。しかし、上記のような高融点貴金属電極でも、300°C以上での誘電体成膜において、再結晶による電極表面荒れを生じる。このような電極上に形成された誘電体膜は膜厚が一様でなく、電圧を印加したときに膜厚が薄い部分に電界が強くなるために絶縁特性に問題がある。

現在の高集積回路に広く用いられている電極材料は多結晶シリコンあるいはシリコン基板自体の一部に不純物を高濃度にドーピングした低抵抗シリコン層である。以下これらを総してシリコン電極と呼ぶ。シリコン電極は微細加工技術が確立されており、すでに広く用いられているため、シリコン電極上に良好な高誘電率薄膜が作製できれば、集積回路用コンデンサへの利用が可能となる。しかしながら、従来技術では例えばIBM・ジャーナル・オブ・リサーチ・アンド・ディベロップメント(IBM Journal of Research and Development) 1969年11月号686-695頁に所載の SrTiO_3 膜に関する

論文において687-688頁の記載に、シリコン上に高誘電率材料の薄膜を形成する場合には約100Åの二酸化シリコン(SiO_2)に等価な層が界面に形成されてしまうと報告されている。この界面層は誘電率が低い層であるため、結果としてシリコン上に形成した高誘電率薄膜の実効的な誘電率は大きく低下してしまい、高誘電率材料を用いる利点がほとんど損なわれていた。同様の報告の他の例としてはジャーナル・オブ・バキューム・サイエンス・アンド・テクノロジー(Journal of Vacuum Science and Technology) 第16巻2号315-318頁に所載の BaTiO_3 に関する論文において、316頁の記載に見ることができる。

本発明は BaTiO_3 、 SrTiO_3 に代表される高誘電率材料の薄膜を用いて、高い容量密度と優れた絶縁特性を有し、シリコン集積回路に適用可能な薄膜コンデンサを実現することを目的としている。

(課題を解決するための手段)

本発明は、基板上に形成され、下部電極、誘電体、上部電極が順次積層された構造の薄膜コンデ

ンサにおいて、誘電体を直接成膜する下部電極がルテニウム、酸化ルテニウム、ルテニウムシリサイドのうち1以上であることを特徴とする薄膜コンデンサおよびその製造方法である。

(実施例1)

以下、本発明の実施例について図面を参照して説明する。

第1図は実施例1の薄膜コンデンサの構造図で、シリコン基板1の表面に絶縁層として酸化シリコン層2が形成され、酸化シリコン層上に下部電極3が形成され、下部電極上に誘電体の BaTiO_3 膜4が形成され、その上に上部電極のAl膜5が形成されている。

まず、水蒸気熱酸化法により単結晶シリコンの表面に酸化シリコン層を1μm形成した。雰囲気は酸素ガスと水素ガスの流量比をそれぞれ1:1に制御し、温度は1100°Cで熱酸化を行った。下部電極膜は直流マグネトロンスパッタ法で0.5μmの膜厚のものを作製した。Ruまたは RuSi_2 組成の焼結体ターゲットを用い、Arガス雰囲気(またはArと O_2 の混合

ガス雰囲気)、 4×10^{-3} Torr、基板温度 100°C で行った。BaTiO₃膜は化学量論組成の粉末ターゲットを用い、高周波マグネトロンスパッタ法で $0.5\mu\text{m}$ の膜厚のものを作製した。Ar-O₂混合ガス中、 1×10^{-2} Torr、基板温度 600°C でスパッタ成膜した。上部電極には $0.5\mu\text{m}$ のAlを直流スパッタ法により成膜した。本コンデンサの有効面積は $3 \times 5\text{mm}^2$ である。

つぎに下部電極に高融点貴金属であるPd膜を用いた場合と本方法の膜を用いた場合のBaTiO₃膜の特性の違いについて述べる。第2図(a)は本方法の下部電極膜を用いた場合のBaTiO₃膜の、第2図(b)は膜厚 $0.5\mu\text{m}$ のPd膜を用いた場合のBaTiO₃膜の絶縁破壊強度のヒストグラムである。絶縁破壊強度は $1 \times 10^{-4}\text{A/cm}^2$ の電流が流れたときの電界強度と定義した。絶縁破壊強度は本方法の方が約3倍も大きく、かつ、その分布にばらつきがなく、優れた絶縁特性を示している。BaTiO₃膜の一部をエッチングで除去し、下部電極の表面粗さを触針式表面段差計で測定したところ、ルテニウムなどの膜とPd膜の平均粗さRaは、それぞれ、 50\AA 、 380\AA であ

り、ルテニウムなどの膜の方が表面平坦性に優れていることがわかった。なお、BaTiO₃を成膜する前の下部電極の表面粗さはそれぞれ 30\AA 程度である。従って、両者の絶縁特性の違いはBaTiO₃成膜の高温プロセスでの下部電極の表面粗れに起因していると考えられる。この場合、下部電極としてルテニウム、酸化ルテニウム、ルテニウムシリサイド、またはこれらの積層構造においても効果は同じであった。

(実施例2)

第3図は実施例2の薄膜コンデンサの構造図で、単結晶シリコン基板6の表面に絶縁層として酸化シリコン層7が形成され、酸化シリコン層上に下部電極として多結晶シリコン膜8とその上にルテニウムなどの膜9が形成され、これら下部電極膜上に誘電体のBaTiO₃膜10が形成され、その上に上部電極のAl膜11が形成されている。

多結晶シリコン膜はプラズマCVD法により、 300°C で膜厚 $0.3\mu\text{m}$ のものを作製した。この多結晶シリコン膜にヒ素イオンを 70KV の加速電圧で

$2 \times 10^{16}\text{cm}^{-2}$ の量をイオン注入し、更に 900°C で20分間熱処理することにより約 $100\Omega/\square$ のシート抵抗とした。その他の膜の成膜は実施例1と同様に行った。

この場合、多結晶シリコン膜は絶縁層の酸化シリコンと下部電極との密着性を良くするために用いているが、ルテニウムなどの膜を多結晶シリコン膜の上に形成しても、実施例1と同様に優れた絶縁特性を有する薄膜コンデンサが得られた。なお、ルテニウム又は酸化ルテニウムの場合は多結晶シリコンの代わりに、ルテニウムシリサイドなどのメタルシリサイドとルテニウムもしくは多結晶シリコンなどを含む多層膜でもよい。

(実施例3)

第4図は実施例3の薄膜コンデンサの構造図である。単結晶シリコン12の表面の一部にリンを高濃度にドーピングして低抵抗層13が形成され、その上に層間絶縁膜として酸化シリコン膜14が形成されている。酸化シリコン膜の一部は、低抵抗層を通じて下部電極を引き出すためのコンタクトホー

ルが2箇所形成されており、一方のコンタクトホールは下部電極のルテニウムなどの膜15で埋められ、もう一方のコンタクトホールはAl膜16で埋められている。従って、Al膜16は下部電極の端子となる。下部電極膜はコンタクトホールを埋めると共にその一部が酸化シリコン膜上へ形成されていてもよい。下部電極膜上にはBaTiO₃膜17が形成され、その上には上部電極としてAl18が形成されている。

本実施例では下部電極を単結晶シリコンの低抵抗層を通じて引き出すために、下部電極膜を単結晶シリコンの上に作製しているが、その薄膜コンデンサの絶縁特性は実施例1と同様に優れていることを確認した。

次に下部電極に多結晶シリコン膜を用いた場合と本発明の膜を用いた場合のBaTiO₃膜の誘電率の違いについて述べる。多結晶シリコン膜は現在のシリコンLSIの電極膜として一般に用いられている材料である。第5図はBaTiO₃膜の誘電率と膜厚の関係を調べたもので、本発明の膜を用いた場合と多

結晶シリコン膜を用いた場合の結果である。本発明の膜を用いた場合、 BaTiO_3 膜の誘電率はその膜厚に依存せず、約240で一定であるのに対して、多結晶シリコン膜を用いた場合の BaTiO_3 膜の誘電率は膜厚に依存し、膜厚が薄くなるにつれて誘電率が小さくなっている。これは従来技術で述べたように、低誘電率の酸化シリコン膜が BaTiO_3 と多結晶シリコンとの界面に形成され、 BaTiO_3 膜の見かけの誘電率が低下したものと考えられる。

また、実施例2と同様に、下部電極はルテニウムなどの膜とその下に多結晶シリコンがある二重構造でもよい。この場合の多結晶シリコン膜はルテニウムなどの膜と単結晶シリコン、及び、酸化シリコンとの密着性をよくする効果がある。更に、多結晶シリコン膜でコンタクトホールを埋める平坦化技術は確立しており、下部電極の一部として用いる利点は大きい。

本実施例に示すように下部電極にルテニウム、酸化ルテニウム、ルテニウムシリサイドの1以上からなる膜を用いることにより、誘電体膜の膜厚に

依存せず一定の高い誘電率を有する薄膜コンデンサをシリコン上に作製することができる。

(発明の効果)

本発明は以上説明したように、薄膜コンデンサの下部電極に高温プロセスで表面荒れを起こさないルテニウムなどの膜を用いることにより、絶縁特性に優れた高誘電率の薄膜コンデンサを提供することができる。また、従来のシリコン電極のように誘電体との界面に低誘電率の酸化シリコン層を形成することがないので、誘電体膜の膜厚に依存せず一定の高い誘電率を有する薄膜コンデンサをシリコン上に作製することができる。

図面の簡単な説明

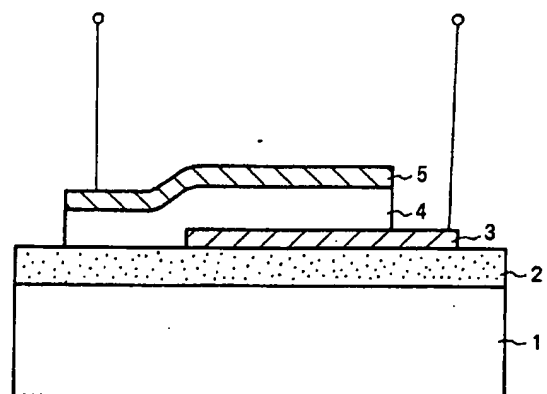
第1図は本発明における実施例を示す薄膜コンデンサの断側面図、第2図(a),(b)は絶縁破壊強度のヒストグラム図、第3図、第4図は実施例を示す薄膜コンデンサの断側面図、第5図は BaTiO_3 膜の誘電率と膜厚の関係を示す図。

1,6,12は単結晶シリコン基板、2,7,14は酸化シリコン、3,9,15は下部電極、4,10,17は BaTiO_3 、5,

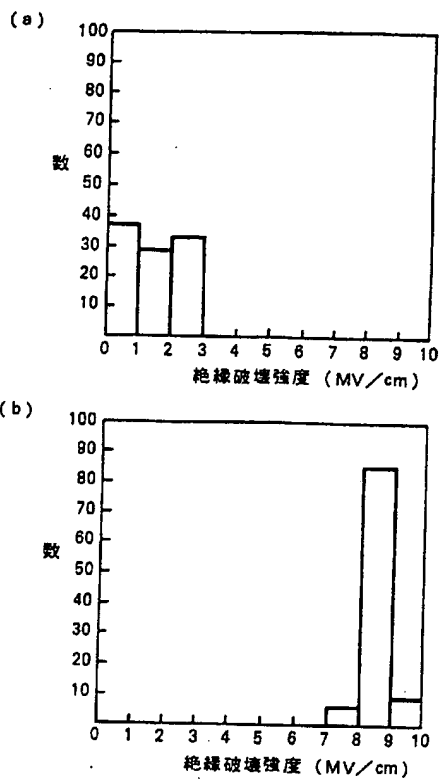
11,16,18はAl、8は多結晶シリコン、13は単結晶シリコンの低抵抗層。

代理人 弁理士 内原 晋

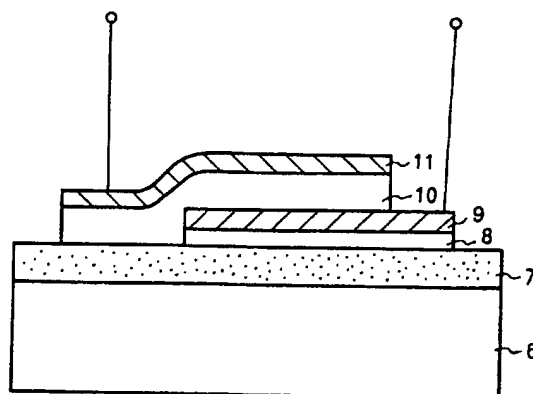
第 1 図



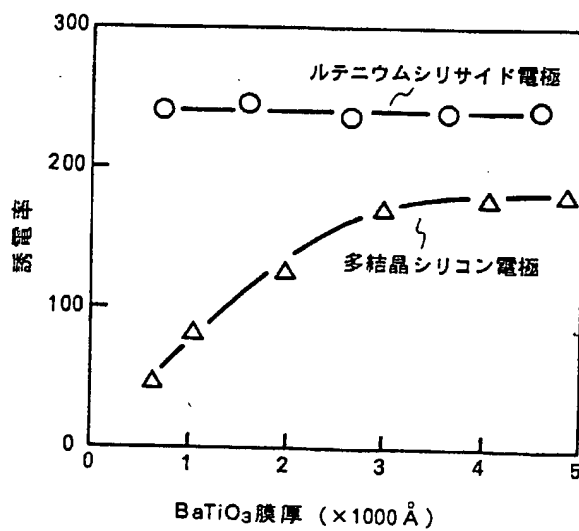
第 2 図



第 3 図



第 5 図



第 4 図

